

Family list

4 family members for:

JP2003258265

Derived from 4 applications.

- 1 ORGANIC THIN-FILM TRANSISTOR AND MANUFACTURING METHOD THEREOF**
Publication info: **AU2002359934 A1** - 2003-07-24
- 2 ORGANIC THIN-FILM TRANSISTOR**
Publication info: **JP2003258265 A** - 2003-09-12
- 3 Organic thin-film transistor and method of manufacturing method thereof**
Publication info: **US2005121674 A1** - 2005-06-09
- 4 ORGANIC THIN-FILM TRANSISTOR AND MANUFACTURING METHOD THEREOF**
Publication info: **W003058723 A1** - 2003-07-17

Data supplied from the *esp@cenet* database - Worldwide

ORGANIC THIN-FILM TRANSISTOR

Patent number: JP2003258265
Publication date: 2003-09-12
Inventor: KAMATA SHUNEI; YOSHIDA MANABU
Applicant: NAT INST OF ADV IND & TECHNOL
Classification:
- international: H01L51/30; H01L51/05; (IPC1-7): H01L29/786; H01L21/8247; H01L27/105; H01L29/788; H01L29/792; H01L51/00
- european: H01L51/20B2B2; H01L51/20B2B2E
Application number: JP20020240449 20020821
Priority number(s): JP20020240449 20020821; JP20010400917 20011228

Also published as:

WO03058723 (A1)
US2005121674 (A)
AU2002359934 (A)

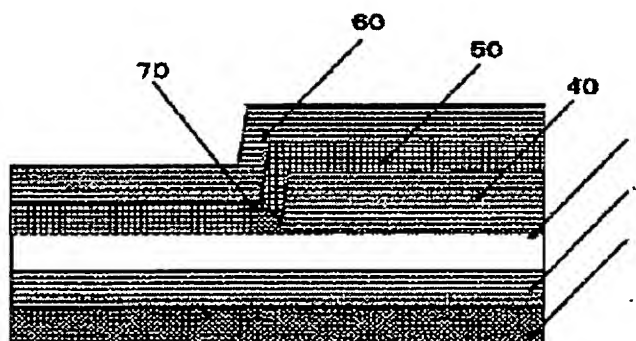
Report a data error here

Abstract of JP2003258265

PROBLEM TO BE SOLVED: To solve the problem that it is necessary to make a channel (distance between the source and drain) for a current flow narrower for improvement in transistor characteristics, and the conventional photolithography or electron beam lithography used a highly fine fabrication technique to shorten a channel length, however, a high-performance element cannot be manufactured at a low cost because the applicable fine fabrication technique is extremely high in quality and expensive.

SOLUTION: An organic thin-film transistor can be made very thin without using a special fine fabrication technique. This merit is applied to control a distance between the source and drain, so that an extremely short channel length can be made without using a highly fine fabrication technique, and a high-performance organic transistor can be conveniently manufactured as a result.

COPYRIGHT: (C)2003,JPO



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-258265

(P 2 0 0 3 - 2 5 8 2 6 5 A)

(43) 公開日 平成15年9月12日 (2003.9.12)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)	
H01L 29/786		H01L 29/78	618	B 5F083
21/8247			616	T 5F101
27/105			616	V 5F110
29/788			617	K
29/792		29/28		
審査請求 未請求 請求項の数19 O L (全14頁) 最終頁に続く				

(21) 出願番号	特願2002-240449 (P 2002-240449)	(71) 出願人	301021533 独立行政法人産業技術総合研究所 東京都千代田区霞が関1-3-1
(22) 出願日	平成14年8月21日 (2002.8.21)	(72) 発明者	鎌田 俊英 茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内
(31) 優先権主張番号	特願2001-400917 (P 2001-400917)	(72) 発明者	吉田 学 茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内
(32) 優先日	平成13年12月28日 (2001.12.28)		
(33) 優先権主張国	日本 (J P)		

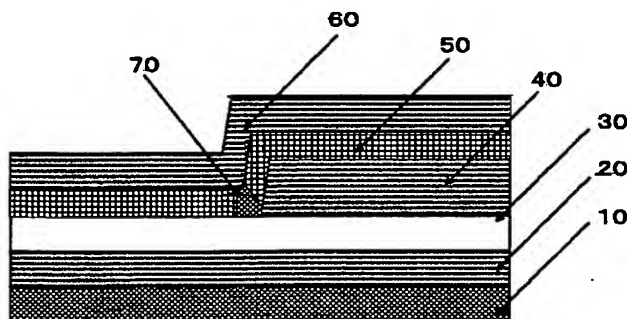
最終頁に続く

(54) 【発明の名称】 有機薄膜トランジスタ

(57) 【要約】

【課題】 トランジスタ特性を上げるためには、電流が流れるチャネル（ソースとドレイン間の距離）を狭くしていくことが必要である。従来は、フォトリソグラフィ技術や電子線リソグラフィ技術など、高度な微細加工技術を適応して、チャネル長を短くすることが行われてきた。これらの手法では、適応する微細加工技術が極めて高度で高価であるため、低価格で高性能な素子を作ることが困難であった。

【解決手段】 有機薄膜トランジスタの場合、薄膜の厚さは特別な微細加工技術を適応しなくとも極めて薄くできるという点に着目し、この特徴をソースドレイン電極間距離の制御に適応すれば、極めて狭いチャネル長を高度な微細加工技術を適応しなくとも創製可能となり、その結果として高い性能を有する有機薄膜トランジスタが簡便に製造できることが判明した。



【特許請求の範囲】

【請求項 1】 基板上に、ゲート電極、絶縁層、ソース又はドレイン、半導体層及びドレイン又はソースを有する薄膜トランジスタにおいて、該基板上の一部に該ゲート電極を設け、該ゲート電極及び該基板を該絶縁層により覆い、該絶縁層上であって該ゲート電極に対応する領域の一部に該ソース又はドレインを設け、該ソース又はドレイン及び該絶縁層を半導体層により覆い、該半導体層上であって該ソース又はドレインに対応する領域のうち、該ソース又はドレインが該ゲート電極と重なり合っている領域を覆うように該ドレイン又はソースを形成したことを特徴とする薄膜トランジスタ。

【請求項 2】 基板上に、ソース又はドレイン、半導体層、ドレイン又はソース、絶縁層及びゲート電極を有する薄膜トランジスタにおいて、該基板上の一部に該ソース又はドレインを設け、該ソース又はドレイン及び該基板を該半導体層により覆い、該半導体層上であって該ソース又はドレインに対応する領域の一部にドレイン又はソースを設け、該ドレイン又はソースを絶縁層により覆い、該絶縁層上において該ドレイン又はソースに対応する領域のうち、該ドレイン又はソースが該ソース又はドレインと重なり合っている領域に該ゲート電極を設けたことを特徴とする薄膜トランジスタ。

【請求項 3】 上記請求項 1 記載の薄膜トランジスタにおいて、上記ソース又はドレインの上部に絶縁層を設けたことを特徴とする薄膜トランジスタ。

【請求項 4】 上記請求項 1 乃至 3 に記載の薄膜トランジスタにおいて、上記半導体層が有機半導体材料で構成されることを特徴とする薄膜トランジスタ。

【請求項 5】 上記請求項 1 乃至 4 に記載の薄膜トランジスタにおいて、上記半導体層の厚さが $1\ \mu\text{m}$ 以下であることを特徴とする薄膜トランジスタ。

【請求項 6】 上記請求項 1 乃至 5 に記載の薄膜トランジスタにおいて、上記ソース及び上記ドレインは、仕事関数の異なる材質で構成されることを特徴とする薄膜トランジスタ。

【請求項 7】 上記請求項 6 に記載の薄膜トランジスタにおいて、上記ソース又はドレインの一方は、仕事関数の大きい材料である金、白金、パラジウム、銅、ニッケル、インジウム-錫酸化物又はポリチオフェン若しくはこれらを複数組み合わせた材料から選択され、上記ソース又はドレインの他方は、仕事関数の小さい材料であるインジウム、アルミニウム、銀、カルシウム、マグネシウム又はリチウム若しくはこれらを複数組み合わせた材料から選択されることを特徴とする薄膜トランジスタ。

【請求項 8】 上記請求項 7 に記載の薄膜トランジスタにおいて、上記半導体層が p 型の有機半導体材料であり、上記ゲート電極に近い方の上記ソース又はドレイン電極は、仕事関数の大きな材料により構成し、上記ゲート電極に遠い方の上記ソース又はドレイン電極は、仕事

関数の小さな材料により構成されることを特徴とする薄膜トランジスタ。

【請求項 9】 上記請求項 8 に記載の薄膜トランジスタにおいて、上記 p 型の半導体は、ペンタセン、テトラセン、チオフェン、フタロシアニン及びこれらの末端が置換された誘導体並びにポリチオフェン、ポリフェニレン、ポリフェニレンビニレン、ポリフルオレン及びこれらの末端もしくはその側鎖が置換された誘導体のポリマーの中から選択されたものであることを特徴とする薄膜トランジスタ。

【請求項 10】 上記請求項 7 に記載の薄膜トランジスタにおいて、上記半導体層が n 型の有機半導体材料であり、上記ゲート電極に近い方の上記ソース又はドレイン電極は、仕事関数の小さな材料により構成し、上記ゲート電極に遠い方の上記ソース又はドレイン電極は、仕事関数の大きな材料により構成されることを特徴とする薄膜トランジスタ。

【請求項 11】 上記請求項 10 に記載の薄膜トランジスタにおいて、上記 n 型の半導体は、ペリレンテトラカルボン酸二無水物、ナフタレンテトラカルボン酸二無水物、フッ素化フタロシアニン及びこれらの末端が置換された誘導体の中から選択されたものであることを特徴とする薄膜トランジスタ。

【請求項 12】 基板上に、ゲート電極、絶縁層、ソース又はドレイン、半導体層及びドレイン又はソースを有する薄膜トランジスタの製造方法において、該基板上の一部に該ゲート電極を設け、該ゲート電極及び該基板を該絶縁層により覆い、該絶縁層上であって該ゲート電極に対応する領域の一部に該ソース又はドレインを設け、該ソース又はドレイン及び該絶縁層を半導体層により覆い、該半導体層上であって該ソース又はドレインに対応する領域のうち、該ソース又はドレインが該ゲート電極と重なり合っている領域を覆うように該ドレイン又はソースを形成することを特徴とする薄膜トランジスタの製造方法。

【請求項 13】 基板上に、ソース又はドレイン、半導体層、ドレイン又はソース、絶縁層及びゲート電極を有する薄膜トランジスタの製造方法において、該基板上の一部に該ソース又はドレインを設け、該ソース又はドレイン及び該基板を該半導体層により覆い、該半導体層上であって該ソース又はドレインに対応する領域の一部にドレイン又はソースを設け、該ドレイン又はソースを絶縁層により覆い、該絶縁層上において該ドレイン又はソースに対応する領域のうち、該ドレイン又はソースが該ソース又はドレインと重なり合っている領域に該ゲート電極を設けることを特徴とする薄膜トランジスタの製造方法。

【請求項 14】 上記請求項 12 又は 13 に記載の薄膜トランジスタの製造方法において、上記トランジスタを構成する要素の少なくとも一部が、溶液を塗布又は付着

することによって作製されることを特徴とする薄膜トランジスタの製造方法。

【請求項 1 5】 上記請求項 1 乃至 1 1 に記載の薄膜トランジスタを用いて作製することを特徴とする表示素子。

【請求項 1 6】 上記請求項 1 5 に記載の表示素子において、上記表示素子の表示部が、電界発光素子、液晶素子又は電気泳動素子であることを特徴とする表示素子。

【請求項 1 7】 上記請求項 1 乃至 1 1 に記載の薄膜トランジスタにおいて、上記ゲート電極に接触した上記絶縁層の全部もしくは一部に強誘電体材料を用いたことを特徴とするメモリ素子。

【請求項 1 8】 上記請求項 1 7 に記載の上記強誘電体材料が有機誘電体材料であることを特徴とするメモリ素子。

【請求項 1 9】 上記請求項 1 乃至 6 に記載の薄膜トランジスタを複数配置したことを特徴とする薄膜トランジスタ集積回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】 本発明は、薄膜トランジスタに関するもので、特に半導体層に有機半導体を用いた薄膜トランジスタ (T F T) の特性向上をもたらすとともに、印刷等の簡便なプロセスで素子を作成することを可能にする技術に関するものである。

【0 0 0 2】

【従来の技術】 近年、有機半導体薄膜トランジスタを使用する、様々な集積回路技術が提案されるようになってきた。このような集積回路は、印刷技術などの簡便な製造方法で作成されることが期待されるとともに、大面積加工や、低コスト製造プロセスが実現可能なこと、さらに柔軟な基板上への作成に適合性がよいこと等が利点とされ、携帯ディスプレイや電子値札、電子荷札などの電子タグ等のように、低価格で供給される電子機器の集積回路技術への適合性が良いとの期待を集めている。

【0 0 0 3】 有機半導体を用いた薄膜トランジスタの開発は、1 9 8 0 年代後半から徐々に活発になってきており、近年では基本性能としてアモルファスシリコンの薄膜トランジスタの特性を越えるに至っている。その代表的な例としては、シェーンらによって作成された、有機半導体としてペンタセンを用いた薄膜トランジスタの性能が、サイエンス (S c i e n c e)、2 8 7 巻、1 0 2 2 頁 (2 0 0 0 年) に報告されている。

【0 0 0 4】 これまで、有機半導体薄膜の基本的な素子構造は、図 1 に示すように、基板 1 1 上にゲート 2 1 を作成し、そのゲート 2 1 上に絶縁膜 3 1 を積層し、その上にソース 6 1 及びドレイン 4 1 を並列にかつ同時に作成し、その上から半導体層 5 1 を積層するボトムコンタクト構造といわれるものか、もしくは図 2 に示すように、基板 1 2 上にゲート 2 2 を作成し、そのゲート 2 2

上に絶縁膜 3 2 を積層し、その上にさらに半導体層 5 2 を積層し、その上からソース 6 2 及びドレイン 4 2 を並列かつ同時に作成するトップコンタクト構造と呼ばれるものが一般的であった。これらの素子構造では、いずれもソース及びドレインが並列に、かつ同時に作成されることが特徴的である。薄膜トランジスタの高速応答性、低電圧駆動などの基本特性の向上を図るためには、ソースとドレイン間の距離、すなわちチャネル長を狭めることが最も重要な要因の一つである。しかし、図 1 や 2 の様な構造を取る場合、如何にして狭いソースとドレイン間距離を得るかは基本的に微細加工技術に依るところが多く、これまでも様々な手法が検討されてきたが、未だ優れた手法が確立されていないという課題を有している。

【0 0 0 5】 ソースおよびドレインを並列かつ同時に作成する方法としては、マスクを用いて、そこに真空蒸着あるいはスパッタリングなどの真空中における電極形成手法を適用するのが最も簡便な方法の一つとして知られている。しかし、この方法では、通常の汎用マスクを用いる限り 1 0 μ m 以下の狭いソースドレイン間距離を得ることは困難であるという問題点を有している。また、微細加工に適應できる特殊マスクを用いると、電極形成 1 回でマスクが目詰まりしてしまい、大量加工に適應しないという問題を生じている。

【0 0 0 6】 より狭いチャネル長を得る、最も代表的な技術はフォトリソグラフィ技術であり、有機薄膜トランジスタに関しても、フォトリソグラフィ技術により狭いチャネル長を形成し、それにより優れた薄膜トランジスタ特性が得られるということが、Applied Physics Letters、7 6 巻、1 9 4 1 頁、2 0 0 0 年等にて報告されている。しかし、この技術を適用したのでは、薄膜トランジスタの半導体層が有機材料で構成されているため、フォトマスクを有機溶媒で洗い流すという操作を導入することが困難である。また、フォトリソグラフィが適應できる製造工程が考案されたとしても、それにより薄膜トランジスタとしての性能は発揮されるものの、フォトリソグラフィ技術に要するコスト、時間等を考慮すると、薄膜トランジスタの材料として有機材料を用いることで、低コスト、低エネルギーでの生産を実現するという特徴が発揮できなくなるという問題点を有している。

【0 0 0 7】 フォトリソグラフィ技術よりもさらに狭いチャネル長を得る技術としては、電子線リソグラフィ技術を用いることが知られている。電子線リソグラフィ技術を用いて、3 0 n m という極めて狭いチャネル長を実現し、それによりソースドレイン間電圧を 1 V で、0. 3 5 V / d e c a d e という低電圧駆動を可能にする技術が報告されている。(Applied Physics Letters、7 6 巻、1 9 4 1 頁、2 0 0 0 年) しかし、この技術では電子線リソグラフィ

という極めて高度で高価な技術を適応しなければならず、薄膜トランジスタの材料として有機材料を用いて、印刷技術など簡便な製造プロセスを適応するという特徴が発揮できなくなるという問題点を有している。また、スルーレートも遅くなってしまうという問題点も有している。

【0008】印刷により素子を作成する技術は、サイエンス (Science)、290巻、2123頁 (2000年) に報告されている。ここでは、細いスペーサー棒をソースドレイン間電極に設置することで、5 μ m の狭いチャネル長を実現している。しかし、当技術では、チャネル長はスペーサーの幅に依存しており、如何に細いスペーサーを作るかという微細加工技術に依存しなければならないという問題点を有している。

【0009】こうしたチャネル長の制御を、微細加工技術によらないトランジスタとしては、静電誘導型有機トランジスタが報告されている。(Nature、372巻、344頁、1994年、あるいはSynthetic Metals、111巻、11頁、2000年) このトランジスタ構造では、チャネル長を作成する膜厚で制御することができる。しかし、この場合薄膜トランジスタの動作原理が異なってしまうため、従来適応されてきていた薄膜トランジスタとして導入するには、回路設計指針を変えていかなければならない。また、ソースドレインの作成は容易になるものの、ゲートの作成が極めて難しいという問題点を有している。

【0010】

【発明が解決しようとする課題】トランジスタ特性を上げるためには、電流が流れるチャネル (ソースとドレイン間の距離) を狭くしていくことが必要である。従来は、フォトリソグラフィ技術や電子線リソグラフィ技術など、高度な微細加工技術を適応して、チャネル長を短くすることが行われてきた。これらの手法では、適応する微細加工技術が極めて高度で高価であるため、低価格で高性能な素子を作ることが困難であった。また、チャネル長を著しく狭くすると、ソースドレイン間での漏洩電流が大きくなってしまい、トランジスタ特性としては電流増幅比 (オン/オフ比) が大きく取れないという問題が生じていた。

【0011】本発明は、トランジスタの基本特性の向上を左右するチャネル長の制御を、リソグラフィなどの特殊微細加工技術を適応せずに実現可能にするトランジスタの基本素子構造を開発するとともに、その製造方法を提供するものである。また、本発明は、チャネル長が短くなった場合における、ソースドレイン間での漏洩電流を軽減させる薄膜トランジスタを提供するものである。

【0012】

【課題を解決するための手段】有機薄膜トランジスタの場合、薄膜の厚さは特別な微細加工技術を適応しなくと

も極めて薄くできるという点に着目し、この薄膜の厚さをソースドレイン電極間距離に適応することにより、極めて狭いチャネル長を高度な微細加工技術を適応しなくとも創製可能とした。また、ソース電極とドレイン電極を仕事関数の異なる材料で形成することによりソースドレイン間での漏洩電流を軽減させることができた。

【0013】即ち、本発明によれば、図3に示すような、基板10上に、ゲート電極20、絶縁層30、ソース又はドレイン40、半導体層50及びドレイン又はソース60を有する薄膜トランジスタにおいて、該基板10上の一部に該ゲート電極20を設け、該ゲート電極20及び該基板10を該絶縁層30により覆い、該絶縁層30上であって該ゲート電極20に対応する領域の一部に該ソース又はドレイン40を設け、該ソース又はドレイン40及び該絶縁層30を半導体層50により覆い、該半導体層50上であって該ソース又はドレイン40に対応する領域のうち、該ソース又はドレイン40が該ゲート電極20と重なり合っている領域を覆うように該ドレイン又はソース60を形成したことを特徴とする薄膜トランジスタが提供される。図3の構造の重要部分を図4に拡大して示す。本トランジスタ構造においては、チャネル70がソース又はドレイン40とドレイン又はソース60の間に形成され、その長さ (チャネル長) は半導体層50の膜厚により規定されるものである。

【0014】また、本発明によれば、図5に示すような、基板10上に、ソース又はドレイン60、半導体層50、ドレイン又はソース40、絶縁層30及びゲート電極20を有する薄膜トランジスタにおいて、該基板10上の一部に該ソース又はドレイン60を設け、該ソース又はドレイン60及び該基板10を該半導体層50により覆い、該半導体層50上であって該ソース又はドレイン60に対応する領域の一部にドレイン又はソース40を設け、該ドレイン又はソース40を絶縁層30により覆い、該絶縁層30上において該ドレイン又はソース40に対応する領域のうち、該ドレイン又はソース40が該ソース又はドレイン60と重なり合っている領域に該ゲート電極20を設けたことを特徴とする薄膜トランジスタが提供される。図5の構造の重要部分を図6に拡大して示す。本トランジスタ構造においては、チャネル70がソース又はドレイン40とドレイン又はソース60の間に形成され、その長さ (チャネル長) は半導体層50の膜厚により規定される。

【0015】また、本発明によれば、図7に示すように、図3に示す薄膜トランジスタにおいて、上記ソース又はドレイン40の上部に絶縁層80を設けたことを特徴とする薄膜トランジスタが提供される。

【0016】また、本発明によれば、上記図3、5、7で示される薄膜トランジスタにおいて、半導体層50が有機半導体材料で構成されることを特徴とする薄膜トランジスタが提供される。

【0017】また、本発明によれば、上記図3、5、7で示される薄膜トランジスタにおいて、半導体層50の厚さが1 μ m以下であることを特徴とする薄膜トランジスタが提供される。

【0018】また、本発明によれば、上記図3、5、7で示される薄膜トランジスタにおいて、ソース又はドレイン40および60の一方は、仕事関数の大きい材料である金、白金、パラジウム、銅、ニッケル、インジウム-錫酸化物又はポリチオフェン若しくはこれらを複数組み合わせ合わせた材料から選択され、ソース又はドレイン40および60の他方は、仕事関数の小さい材料であるインジウム、アルミニウム、銀、カルシウム、マグネシウム又はリチウム若しくはこれらを複数組み合わせ合わせた材料から選択されることを特徴とする薄膜トランジスタが提供される。

【0019】また、本発明によれば、上記図3、5、7で示される薄膜トランジスタにおいて、半導体層50がp型の有機半導体材料であり、ゲート電極20に近い方の上記ソース又はドレイン電極40は、仕事関数の大きな材料により構成し、ゲート電極20に遠い方のソース又はドレイン電極60は、仕事関数の小さな材料により構成されることを特徴とする薄膜トランジスタが提供される。

【0020】また、本発明によれば、上記図3、5、7で示される薄膜トランジスタにおいて、上記p型の半導体は、ペンタセン、テトラセン、チオフェン、フタロシアニン及びこれらの末端が置換された誘導体並びにポリチオフェン、ポリフェニレン、ポリフェニレンビニレン、ポリフルオレン及びこれらの末端もしくはその側鎖が置換された誘導体のポリマーの中から選択されたものであることを特徴とする薄膜トランジスタが提供される。

【0021】また、本発明によれば、上記図3、5、7で示される薄膜トランジスタにおいて、半導体層50がn型の有機半導体材料であり、ゲート電極20に近い方のソース又はドレイン電極40は、仕事関数の小さな材料により構成し、ゲート電極20に遠い方のソース又はドレイン電極60は、仕事関数の大きな材料により構成されることを特徴とする薄膜トランジスタが提供される。

【0022】また、本発明によれば、上記図3、5、7で示される薄膜トランジスタにおいて、上記n型の半導体は、ペリレンテトラカルボン酸二無水物、ナフタレンテトラカルボン酸二無水物、フッ素化フタロシアニン及びこれらの末端が置換された誘導体の中から選択されたものであることを特徴とする薄膜トランジスタが提供される。

【0023】また、本発明によれば、基板10上に、ゲート電極20、絶縁層30、ソース又はドレイン40、半導体層50及びドレイン又はソース60を有する薄膜

トランジスタの製造方法において、該基板10上の一部に該ゲート電極20を設け、該ゲート電極20及び該基板10を該絶縁層30により覆い、該絶縁層30上であって該ゲート電極20に対応する領域の一部に該ソース又はドレイン40を設け、該ソース又はドレイン40及び該絶縁層30を半導体層50により覆い、該半導体層50上であって少なくとも該ソース又はドレイン40に対応する領域のうち、該ソース又はドレイン40が該ゲート電極20と重なり合っている領域を覆うように該ドレイン又はソース60を形成することを特徴とする薄膜トランジスタの製造方法が提供される。

【0024】また、本発明によれば、基板10上に、ソース又はドレイン60、半導体層50、ドレイン又はソース40、絶縁層30及びゲート電極20を有する薄膜トランジスタの製造方法において、該基板10上の一部に該ソース又はドレイン60を設け、該ソース又はドレイン60及び該基板10を該半導体層50により覆い、該半導体層50上であって該ソース又はドレイン60に対応する領域の一部にドレイン又はソース40を設け、該ドレイン又はソース40を絶縁層30により覆い、該絶縁層30上において少なくとも該ドレイン又はソース40に対応する領域のうち、該ドレイン又はソース40が該ソース又はドレイン60と重なり合っている領域に該ゲート電極20を設けることを特徴とする薄膜トランジスタの製造方法が提供される。

【0025】また、本発明によれば、上記薄膜トランジスタの製造方法において、上記トランジスタを構成する要素の少なくとも一部が、溶液を塗布するあるいは付着させることによって作製されることを特徴とする薄膜トランジスタの製造方法が提供される。

【0026】また、本発明によれば、上記図3、5、7で示される薄膜トランジスタを用いて作製することを特徴とする表示素子が提供される。

【0027】また、本発明によれば、上記表示素子の表示部が、電界発光素子、液晶素子又は電気泳動素子であることを特徴とする表示素子が提供される。

【0028】また、本発明によれば、上記図3、5、7で示される薄膜トランジスタにおいて、ゲート電極20に接触した絶縁層30の全部もしくは一部に強誘電体材料を用いたことを特徴とするメモリ素子が提供される。

【0029】また、本発明によれば、上記メモリ素子において、強誘電体材料が有機誘電体材料であることを特徴とするメモリ素子が提供される。

【0030】また、本発明によれば、上記図3、5、7で示される薄膜トランジスタを複数配置したことを特徴とする薄膜トランジスタ集積回路が提供される。

【0031】

【発明の実施形態】本発明において使用される基板10は特に限定されず、いかなる物を用いても良い。一般に好適に用いられる物は、石英などのガラス基板やシリコ

ンウェハー等であるが、ポリカーボネート、ポリイミドやポリエチレンテレフタレート (PET) などの柔軟性のあるプラスチック基板等も用いることが出来る。また、基板の配置位置は、ゲート 20 の絶縁層 30 の対極側か、ソースもしくはドレイン 60 の半導体層 50 の対極側かは限定されない。ゲート 20 を先に作製する場合には、基板はゲート 20 と接触してゲート絶縁層 30 の対極側に設置されることが望ましいが、ソースもしくはドレイン 60 を先に作製する場合には、基板はソースもしくはドレイン 60 と接触して半導体層 50 の対極側に設置されることが望ましい。

【0032】本発明において使用されるゲート 20 の材料は、抵抗値の低い材料であればいかなるものを用いても良い。一般に、タングステン、クロム、銀、ニッケル、金や銅などの金属が用いられることが多いが、これに限定されるものではない。その作成法は特に限定されず、いかなる方法を用いても良い。一般に用いられる方法は、メッキ配線などであるが、活版印刷、スクリーン印刷、インクジェット印刷などの溶液から塗布されるあるいは付着される湿式製造プロセスなども適応される。この場合には、銀ペーストの他、チオフェン系導電性高分子 (PEDOT) やポリアニリン及びそれらの誘導体などの有機材料による電極をゲート 20 として用いることができる。また、真空蒸着法やスパッタリング法など、上記とは異なる乾式製造プロセスを適応することも可能である。また、素子の安定化、長寿命化、高電荷注入効率化などを図るため、ゲート 20 が複数の材料の混合もしくは積層で構成されたり、あるいは表面処理を施しておくことも可能である。

【0033】本発明において使用されるゲート 20 の形状は特に限定されず、いかなる形状を用いてもよい。一般に好適に用いられるのは、 $1\mu\text{m}$ 以上 1mm 以下の幅で、 20nm 以上 $10\mu\text{m}$ 以下の厚さの直線配線であるが、これに限定されるものではない。

【0034】本発明において用いるゲートに接触する絶縁層 30 は、より効果的な電界効果を得るために大きな誘電率を有する材料が望ましい。例えば、 SiO_2 や Al_2O_3 などがあげられるが、これに限定されるものではなく、素子の柔軟性を付与させるために、ポリメチルメタクリレート (PMMA)、ポリイミド、ポリスチレン、ポリバラキシレン、ポリフッ化ビニリデン (PVF)、ポリビニルフェノール、プルランなどのポリマー誘電体なども用いることができる。さらに、チタン酸ジルコン酸鉛 (PZT) 等の強誘電体薄膜なども利用可能である。また、半導体薄膜 50 の結晶粒を大きくしたり、配向性を高めたりするために絶縁層 30 の半導体層 50 側をコーティングしたり、絶縁層 30 の表面の配向処理をしたりすることなども可能である。

【0035】本発明において用いる絶縁層 30 の作成法は特に限定されず、いかなる方法を用いても良い。一般

に、真空蒸着やスパッタリングなどの気相成長法が用いられることが多いが、簡便で低コストでの作成という点からは、スクリーン印刷、インクジェット印刷など、材料を溶媒と混合させ溶液からの塗布あるいは付着などをして作成する湿式製造プロセスとしての印刷手法なども適応される。また、この時の層の厚さは、一般に用いることができるのは 50nm 以上 5000nm 以下であるが、好ましくは 100nm 以上 500nm 以下である。

【0036】本発明において用いるゲートに接触する絶縁層 30 の形状は特に限定されず、いかなる形状を用いてもよい。一般には、半導体層 50 よりも広い面積の形状を有することが望ましい。

【0037】本発明において用いるソースもしくはドレイン 40 もしくは 60 の材料としては、一方は、仕事関数が高い材料を用い、他方は仕事関数が小さい材料を用いるが、この際、仕事関数の調整、素子の安定化、長寿命化、高電荷注入効率化などを図るため、ソース及びドレインが複数の材料の混合もしくは積層で構成されたり、あるいは表面処理や半導体層との間の界面修飾を施しておくことも可能である。

【0038】本発明において用いるソースもしくはドレイン 40 もしくは 60 の作成法は特に限定されず、いかなる方法を用いても良い。一般に、真空蒸着やスパッタリングなどの気相成長法が用いられることが多いが、簡便で低コストでの作成という点からは、スクリーン印刷、インクジェット印刷など、材料を溶媒と混合させ溶液からの塗布などとして作成する湿式製造プロセスとしての印刷手法なども適応される。

【0039】本発明において用いるソースもしくはドレイン 40 もしくは 60 のパターン形状は特に限定されず、いかなるパターン形状を用いてもよい。一般に好適に用いられるのは、 $1\mu\text{m}$ 以上 1mm 以下の幅で、 20nm 以上 $10\mu\text{m}$ 以下の厚さの直線配線であるが、これに限定されるものではない。

【0040】本発明において用いるソースもしくはドレイン 40 の断面形状は、効果的な電界分布を実現させるために、絶縁層 30 の膜表面 (図 8 の A-B 面) とソース又はドレイン電極 40 の側面 (図 8 の B-C 面) との成す角 θ を 130 度以下とするのが好ましい。より効果的にするためには、できるだけ当該角度 θ が 90 度に近くなることが望ましい。

【0041】上記 θ が約 120° である素子の、ソースドレイン間電圧 4V 時におけるソースドレイン間電流のゲート電圧依存性を図 9 に示す。図から、ソースドレイン間電圧 4V でのサブスレショルドスロープは、約 $0.15\text{V}/\text{decade}$ となることが示された。

【0042】上記 θ が約 150° である素子の、ソースドレイン間電圧 4V 時におけるソースドレイン間電流のゲート電圧依存性を図 10 に示す。図から、ゲート電圧を変化させてもドレイン電流はほとんど変化せず、ゲ

ートによる変調効果が現れないことが明らかになった。

【0043】このような形状を作成するための製造方法は、特に限定されず、いかなる方法を用いても良いが、一般には、フォトエッチング技術やマスク蒸着等を用いて、形状成形が行われる。特に、インクジェット法などの塗布法を用いた場合、その電極材料と乾燥条件によっては、電極形状が絶縁層30の膜表面とソース又はドレイン電極40の側面との成す角が90度以下になることも起こりうるが、こうした形状になることも構わない。

【0044】本発明におけるゲート20、ソースもしくはドレイン40、ドレインもしくはソース60の配置に関しては、配線される際、基板平面上におけるそれぞれの軸の相互角は特に限定されず、いかなる角度で配線されてもよい。ただし、ゲート20、ソースもしくはドレイン40、ドレインもしくはソース60が交差した部分を持つことが必要である。また、それぞれが素子部を外れた部分においては、上下方向に重ならないように設置されることが望ましい。

【0045】本発明における薄膜トランジスタは、半導体層50に有機半導体材料が用いられる。その組成は、特に限定されず、単一物質で構成されても構わないし、また複数の物質の混合によって構成されても構わない。さらに、数種の物質の層状構造によって構成されることもできる。これまでに優れた特性を示す有機半導体材料としては、以下のようなものが知られている。アントラセン、テトラセン、ペンタセンまたはその末端が置換されたこれらの誘導体。 α -セクシチオフェン。ペリレンテトラカルボン酸二無水物(PTCDA)およびその末端が置換された誘導体。ナフタレンテトラカルボン酸二無水物(NTCDA)およびその末端が置換された誘導体。銅フタロシアニン及びその末端がフッ素などで置換された誘導体。銅フタロシアニンの銅が、ニッケル、酸化チタン、フッ素化アルミニウム等で置換された誘導体及びそれぞれの末端がフッ素などで置換された誘導体。フラーレン、ルブレン、コロネン、アントラジチオフェンおよびそれらの末端が置換された誘導体。ポリフェニレンビニレン、ポリチオフェン、ポリフルオレン、ポリフェニレン、ポリアセチレンおよびこれらの末端もしくは側鎖が置換された誘導体のポリマー。

【0046】本発明に用いられる半導体層50の作製法は、特に限定されず、いかなる方法を用いても良い。一般に、真空蒸着などの気相成長法が用いられることが多いが、簡便で低コストでの作成という点からは、スクリーン印刷、インクジェット印刷など、材料を溶媒と混合させ溶液からの塗布などとして作成する印刷手法が適応される。また、マイクロコンタクトプリンティング、マイクロモルディングなどのソフトリソグラフィーと呼ばれる印刷法などを適応することもできる。

【0047】本発明における半導体層50の厚さは、チャンネル長を制御するものであり、薄ければ薄いほど高性

能を与えることができる。一般に用いられる厚さは、1 μm 以下であるが、好ましくは、0.5 μm 以下0.05 μm 以上である。またこの際、膜厚の均質性を保つために、半導体層60を構成する材料の構造形態をアモルファスとすることもできる。さらに、アモルファス性の高分子媒体に有機半導体材料を分散させたものを半導体層50として形成させることも可能である。

【0048】本発明において用いる半導体層50の形状は特に限定されず、いかなる形状を用いてもよい。ただし、ソースもしくはドレイン40、ドレインもしくはソース60が交差した部分よりも広い面積の形状を有することが求められる。

【0049】本発明におけるトランジスタ素子に、絶縁層80を挿入する場合、絶縁層80の幅は、ソースもしくはドレインとする40の幅より狭ければ構わないが、好ましくは40の幅を超えない程度に近い幅であることが好ましい。

【0050】本発明における絶縁層80を挿入する位置は、ソースもしくはドレインとする40の上であるが、半導体層50との位置関係は特に限定されない。ソースもしくはドレインとする40の上で半導体層50の下であっても構わないし、ソースもしくはドレインとする40の上部で半導体層50とドレインもしくはソースとする60との間に位置する領域に設置しても構わない。この際の絶縁層の幅は、ソースもしくはドレインとする40の幅より狭ければ構わないが、好ましくは40の幅を超えない程度に近い幅であることが好ましい。また、該絶縁層は、ソースもしくはドレインとする40と半導体層50の間と、半導体層50とドレインもしくはソースとする60との間の両方に設置しても構わない。

【0051】絶縁層80の材料は、より効果的な絶縁性を有する材料が望ましい。例えば、 SiO_2 や Al_2O_3 などがあげられるが、これに限定されるものではなく、素子の柔軟性を付与させるために、ポリメチルメタクリレート(PMMA)、ポリイミド、ポリエチレン、ポリスチレン、ポリバラキシレン、ポリフッ化ビニリデン(PVF)、ポリビニルフェノールなどのポリマー絶縁体なども用いることができる。また、半導体薄膜50の結晶粒を大きくしたり、配向性を高めたりするために、絶縁層80の配向処理を施したり、絶縁層80上にコーティングをしたりすることなども可能である。

【0052】本発明における絶縁層80の作成法は特に限定されず、いかなる方法を用いても良い。一般に、真空蒸着やスパッタリングなどの気相成長法が用いられることが多いが、簡便で低コストでの作成という点からは、スクリーン印刷、インクジェット印刷など、材料を溶媒と混合させ溶液からの塗布などとして作成する湿式製造プロセスとしての印刷手法なども適応される。また、この時の層の厚さは、一般に用いることができるのは0nm以上5000nm以下であるが、好ましくは5

0 nm以上500 nm以下である。

【0053】

【実施例】以下に、本発明を実施例によりさらに詳細に説明するが、本発明はこれらの実施例に限定されるものではない。

【0054】

【実施例1】合成石英 (ESグレード) による基板 (面積 20×35 mm、厚さ: 1.0 mm) を、純水にて5倍希釈した中性洗剤 (井内盛栄堂社: ピュアソフト) にて20分間超音波洗浄を行い、その後、純水中にて20分間超音波洗浄を行い、洗剤除去を行った。さらにその後、基板を紫外線-オゾン洗浄器を用いて、酸素雰囲気下において20分間紫外線照射洗浄を行った。このようにして洗浄した石英基板上に、図11で示すように、ゲート電極20として、金を幅 $100 \mu\text{m}$ 、厚さ $0.2 \mu\text{m}$ のサイズとなるようニッケル製のマスクを利用して真空蒸着した。この際の製膜条件は、基板 30°C で、毎分6 nmの蒸着速度である。次に、図12で示すように、ゲート電極20上からポリメチルメタクリレート (PMMA) をクロロホルムに溶解し、その溶液から絶縁膜30としてスピンコート法により $0.4 \mu\text{m}$ の厚さに製膜した。その後、絶縁膜30の上から、図13に示すように、ドレイン電極40として、金を幅 $100 \mu\text{m}$ 、厚さ $0.2 \mu\text{m}$ のサイズとなるようニッケル製のマスクを利用して真空蒸着した。この際の製膜条件は、基板温度 30°C で、毎分6 nmの蒸着速度である。この際、ドレイン電極40は、先に作成したゲート電極20と一部のみで重なり、ゲート電極20の軸とドレイン電極40の軸とが平行にならないようにした。さらにその上から、図14に示すように半導体層50としてペンタセンを真空蒸着した。ペンタセンは、昇華精製を10回繰り返して精製したものをを用いた。真空蒸着条件は、基板を蒸着用ポートの上方に固定し、基板温度を約 30°C に調整し、真空度を 2×10^{-6} Torrにまで減圧した。その後毎分1 nmの速度で $0.5 \mu\text{m}$ の厚さに真空蒸着を行った。その後、図15に示すように、ソース電極60として、金を幅 $100 \mu\text{m}$ 、厚さ $0.05 \mu\text{m}$ のサイズとなるようニッケル製のマスクを利用して真空蒸着した。この際、ソース電極60の長さ方向の軸が、ドレイン電極40の長さ方向の軸と直交し、かつゲート電極20の軸と平行とならないように製膜した。この際の製膜条件は、基板温度 30°C で、毎分6 nmの蒸着速度である。このようにして、チャンネル長 $0.5 \mu\text{m}$ 、チャンネル幅 $100 \mu\text{m}$ の電界効果型薄膜トランジスタが作成された。

【0055】

【実施例2】シリコン熱酸化膜 300 nm を絶縁層30として育成したn型シリコン基板 (面積 20×35 mm、厚さ: 1.0 mm) を、純水にて5倍に希釈した中性洗剤 (井内盛栄堂社: ピュアソフト) にて20分間超音波洗浄を行い、その後、純水中、20分間超音波洗浄を

行い、洗剤除去を行った。さらにその後、紫外線-オゾン洗浄器を用いて、酸素雰囲気下において20分間紫外線照射洗浄を行った。このようにして洗浄した基板上に、金のドレイン電極40を、幅 $100 \mu\text{m}$ 、厚さ $0.2 \mu\text{m}$ のサイズとなるようニッケル製のマスクを利用して真空蒸着した。この際の製膜条件は、基板温度 30°C で、毎分6 nmの蒸着速度である。その上から、半導体層50として、ペンタセン薄膜を真空蒸着法で作成した。ペンタセンは、昇華精製を10回繰り返して精製したものをを用いた。真空蒸着条件は、基板を蒸着用ポートの上方に固定し、基板温度を約 45°C に調整し、真空度を 2×10^{-6} Torrにまで減圧した。その後毎分1 nmの速度で $0.5 \mu\text{m}$ の厚さに真空蒸着を行った。さらにその上から、ソース電極60として、インジウムを幅 $100 \mu\text{m}$ 、厚さ $0.2 \mu\text{m}$ のサイズとなるようニッケル製のマスクを利用して、長さ方向が、ドレイン電極40の長さ方向と直交するように真空蒸着した。この際の製膜条件は、基板 30°C 下、毎分6 nmの蒸着速度である。ゲート電極20は、基板として用いたシリコンウェハーを用いた。このようにして作成された薄膜トランジスタは、チャンネル長 $0.5 \mu\text{m}$ 、チャンネル幅 $100 \mu\text{m}$ の電界効果型薄膜トランジスタとして動作した。図16に、このようにして作成された素子の、ソースドレイン間電圧2 V時におけるソースドレイン間電流のゲート電圧依存性を示す。図から、ソースドレイン間電圧2 Vで、サブスレショルドスロープ 8 V/decade が得られることが示された。

【0056】

【実施例3】シリコン熱酸化膜 300 nm を絶縁層30として育成したn型シリコン基板 (面積 20×35 mm、厚さ: 1.0 mm) を、純水にて5倍に希釈した中性洗剤 (井内盛栄堂社: ピュアソフト) にて20分間超音波洗浄を行い、その後、純水中、20分間超音波洗浄を行い、洗剤除去を行った。さらにその後、紫外線-オゾン洗浄器を用いて、酸素雰囲気下において20分間紫外線照射洗浄を行った。このようにして洗浄した基板上に、金のドレイン電極40を、幅 $100 \mu\text{m}$ 、厚さ $0.2 \mu\text{m}$ のサイズとなるようニッケル製のマスクを利用して真空蒸着した。この際の製膜条件は、基板温度 30°C で、毎分6 nmの蒸着速度である。その上から、半導体層50として、ペンタセン薄膜を真空蒸着法で作成した。ペンタセンは、昇華精製を10回繰り返して精製したものをを用いた。真空蒸着条件は、基板を蒸着用ポートの上方に固定し、基板温度を約 190°C に調整し、真空度を 2×10^{-6} Torrにまで減圧した。その後毎分1 nmの速度で $0.5 \mu\text{m}$ の厚さに真空蒸着を行った。このようにして作製されたペンタセンは、アモルファス上に製膜される。さらにその上から、ソース電極60として、インジウムを幅 $100 \mu\text{m}$ 、厚さ $0.2 \mu\text{m}$ のサイズとなるようニッケル製のマスクを利用して、長さ方

向が、ドレイン電極 40 の長さ方向と直交するように真空蒸着した。この際の製膜条件は、基板 30℃下、毎分 6 nm の蒸着速度である。ゲート電極 20 は、基板として用いたシリコンウェハを用いた。このようにして作成された薄膜トランジスタは、チャンネル長 0.5 μm 、チャンネル幅 100 μm の電界効果型薄膜トランジスタとして動作した。図 17 に、このようにして作成された素子の、様々なゲート電圧におけるソースドレイン間電流のソースドレイン間電圧依存性を示す。図中ソースドレイン間電流は、ソースドレイン間電圧が 0 V 時における漏れ電流を差し引いたものである。ゲート電圧が -50 V と高くなっても、ソースドレイン電圧が 10 V 以下で飽和領域が現れることが示された。

【0057】

【実施例 4】 n 型シリコン基板を、純水にて 5 倍に希釈した中性洗剤（井内盛栄堂社：ピュアソフト）にて 20 分間超音波洗浄を行い、その後、純水中、20 分間超音波洗浄にて洗剤除去を行った。さらにその後、紫外線-オゾン洗浄器にて 20 分間紫外線照射洗浄を行った。このようにして洗浄した基板上に、金のドレイン電極を、幅 100 μm 、厚さ 0.1 μm のサイズで真空蒸着した。この際の製膜条件は、基板 30℃下、毎分 6 nm の蒸着速度である。このようにして作成した電極の側面を走査型電子顕微鏡で観測し、電子顕微鏡像から電極側面と絶縁層表面とのなす角を求めたところ、約 120 度であった。ゲート電極上からポリメチルメタクリレート（PMMA）をクロロホルムに溶解し、その溶液から絶縁膜としてスピンコート法により 0.4 μm の厚さに製膜した。その後、絶縁膜の上から、その上から、ポリ-3-ヘキシルチオフェン薄膜をクロロホルム溶液から塗布製膜した。このときの膜厚は 1 μm であった。さらにその上から、ソース電極として金を、幅 100 μm 、厚さ 0.1 μm のサイズで、長さ方向が、ドレイン電極の長さ方向と直交するように真空蒸着した。この際の製膜条件は、基板 30℃下、毎分 6 nm の蒸着速度である。ゲート電極は、基板として用いたシリコンウェハを用いた。図 18 に、このようにして作成された素子の、ソースドレイン間電圧 4 V 時におけるソースドレイン間電流のゲート電圧依存性を示す。サブスレショルドスロープは 0.2 V/decade であった。

【0058】

【実施例 5】 シリコン熱酸化膜 300 nm を絶縁層として育成した n 型シリコン基板を、純水にて 5 倍に希釈した中性洗剤（井内盛栄堂社：ピュアソフト）にて 20 分間超音波洗浄を行い、その後、純水中、20 分間超音波洗浄にて洗剤除去を行った。さらにその後、紫外線-オゾン洗浄器にて 20 分間紫外線照射洗浄を行った。このようにして洗浄した基板上に、金のドレイン電極を、幅 100 μm 、厚さ 0.1 μm のサイズで真空蒸着した。この際の製膜条件は、基板 30℃下、毎分 6 nm の蒸着

速度である。このようにして作成した電極の側面を走査型電子顕微鏡で観測し、電子顕微鏡像から電極側面と絶縁層表面とのなす角を求めたところ、約 120 度であった。金電極を形成した基板を、オクタデシルトリクロロシランのクロロホルム溶液に 10 分間浸すことで、表面疎水処理を行った。その上から、p 型半導体であるペンタセン薄膜を真空蒸着法で作成した。ペンタセンは、昇華精製を 10 回繰り返して精製したものを用いた。真空蒸着条件は、基板を蒸着用ボートの上方に固定し、基板温度を約 45℃に調整し、真空度を 2×10^{-6} Torr にまで減圧した。その後毎分 1 nm の速度で 500 nm の厚さに真空蒸着を行った。さらにその上から、ソース電極として金を、幅 100 μm 、厚さ 0.1 μm のサイズで、長さ方向が、ドレイン電極の長さ方向と直交するように真空蒸着した。この際の製膜条件は、基板 30℃下、毎分 6 nm の蒸着速度である。ゲート電極は、基板として用いたシリコンウェハを用いた。このようにして作成された薄膜トランジスタは、チャンネル長 0.5 μm 、チャンネル幅 100 μm の電界効果型薄膜トランジスタとして動作した。図 19 に、このようにして作成された素子の、ソースドレイン間電圧 4 V 時におけるソースドレイン間電流のゲート電圧依存性を波線で示す。サブスレショルドスロープは 0.15 V/decade で、オフ電流は 10^{-8} A 台であった。これと全く同様にして、ソース電極としてインジウムを用いた素子の作製を行った。この際、インジウムは、幅 100 μm 、厚さ 0.1 μm のサイズで、長さ方向が、ドレイン電極の長さ方向と直交するように真空蒸着した。製膜条件は、基板 30℃下、毎分 6 nm の蒸着速度である。このようにして作成された薄膜トランジスタは、チャンネル長 0.5 μm 、チャンネル幅 100 μm の電界効果型薄膜トランジスタとして動作した。図 19 に、このようにして作成された素子の、ソースドレイン間電圧 4 V 時におけるソースドレイン間電流のゲート電圧依存性を実線で示す。サブスレショルドスロープは 0.2 V/decade で、オフ電流は 10^{-10} A 台であった。すなわち、全く同様にして作成した素子において、ソース及びドレインの両電極を、絶縁層の次に作成する電極を金にし、半導体層の次に作成する電極をインジウムとした場合、両電極とともに金にした場合と比べて、サブスレショルドスロープはほぼ同程度の値を示したが、オフ電流が二桁以上軽減された。

【0059】

【実施例 6】 シリコン熱酸化膜 50 nm を絶縁層として育成した n 型シリコン基板を、純水にて希釈した中性洗剤（井内盛栄堂社：ピュアソフト）にて超音波洗浄を行い、その後、純水中、超音波洗浄にて潜在除去を行った。さらにその後、紫外線-オゾン洗浄器にて 20 分間紫外線照射洗浄を行った。このようにして洗浄した基板上に、アルミニウムのドレイン電極を、幅 100 μm 、

厚さ 0.1 μm のサイズで真空蒸着した。この際の製膜条件は、基板 30℃ で、毎分 6 nm の蒸着速度である。その上から、n 型半導体であるメチルペリレン薄膜を真空蒸着法で作成した。真空蒸着条件は、基板を蒸着用ポートの上方に固定し、基板温度を約 -130℃ に調整し、真空度を 2×10^{-6} Torr にまで減圧した。その後毎分 10 nm の速度で 500 nm の厚さに真空蒸着を行った。さらにその上から、ソース電極としてペースト状の銀微粒子を、幅 100 μm 、厚さ 0.1 μm のサイズで、長さ方向が、ドレイン電極の長さ方向と直交するように先端ドロウイング法にて作製した。図 20 に、このようにして作成された素子の、ソースドレイン間電圧 4 V 時におけるソースドレイン間電流のゲート電圧依存性を示す。電極をアルミニウムと銀にすることで、オフ電流が 10^{-10} A 台に押さえることができて

【0060】

【実施例 7】シリコン熱酸化膜 300 nm を絶縁層 30 として育成した n 型シリコン基板（面積 20×35 mm、厚さ：1.0 mm）を、純水にて 5 倍に希釈した中性洗剤（井内盛栄堂社：ピュアソフト）にて 20 分間超音波洗浄を行い、その後、純水中、20 分間超音波洗浄を行い、洗剤除去を行った。さらにその後、紫外線-オゾン洗浄器を用いて、酸素雰囲気下において 20 分間紫外線照射洗浄を行った。このようにして洗浄した基板上に、金のドレイン電極 40 を、幅 100 μm 、厚さ 0.2 μm のサイズとなるようニッケル製のマスクを利用して真空蒸着した。この際の製膜条件は、基板温度 30℃ で、毎分 6 nm の蒸着速度である。その上から、半導体層 50 として、ペンタセン薄膜を真空蒸着法で作成した。ペンタセンは、昇華精製を 10 回繰り返して精製したものを用いた。真空蒸着条件は、基板を蒸着用ポートの上方に固定し、真空度を 2×10^{-6} Torr にまで減圧した。その後毎分 1 nm の速度で 0.5 μm の厚さに真空蒸着を行った。さらにその上から、ソース電極 60 として、インジウムを幅 100 μm 、厚さ 0.2 μm のサイズとなるようニッケル製のマスクを利用して、長さ方向が、ドレイン電極 40 の長さ方向と直交するように真空蒸着した。この際、ニッケルのマスクを厚さ 1 mm のスペーサーを挟んで基板から浮かせて配置し、金電極の蒸着によりマスクの下にも電極材料が回り込んで電極側面がなまるようにした。また、この際の製膜条件は、基板 30℃ 下、毎分 6 nm の蒸着速度である。このようにして作成した電極の側面を走査型電子顕微鏡で観測し、電子顕微鏡像から電極側面と絶縁層表面とのなす角を求めたところ、約 150 度であった。ゲート電極 20 は、基板として用いたシリコンウェハを用いた。図 17 に、このようにして作成された素子の、ソースドレイン間電圧 4 V 時におけるソースドレイン間電流のゲート電圧依存性を示す。図から、ゲート電圧を変化さ

せてもドレイン電流はほとんど変化せず、ゲートによる変調効果が現れないことが明らかになった。

【0061】

【発明の効果】本発明の有機薄膜トランジスタは、その素子構造が積層薄膜で構成されるため、単純上塗り工程で製造可能であり、印刷技術の適応が極めて容易になる。また同時に、積層方向への素子の複合化が容易になり、三次元集積化が容易となる。さらに、有機半導体層が、ソース電極により被われる構造であるため、半導体層の封止効果としても働き、酸素や水分による半導体の劣化を防ぎ、素子の長寿命化をもたらす。本発明の有機薄膜トランジスタの素子構造は、チャネル長を有機半導体層の膜厚で制御できるため、1 μm 以下のチャネル長も容易に実現されるため、極めて低電圧駆動化が容易となる。有機材料を用いて、印刷技術に適応することにより、フィルム素子化、大面積素子化、フレキシブル素子化が可能であり、耐衝撃性も向上する。

【図面の簡単な説明】

【図 1】従来型の有機薄膜トランジスタで、ボトムコンタクト構造と呼ばれる素子構造の模式的断面図

【図 2】従来型の有機薄膜トランジスタで、トップコンタクト構造と呼ばれる素子構造の模式的断面図

【図 3】本発明における有機薄膜トランジスタの一例の模式的断面図

【図 4】図 3 の重要部分の拡大図

【図 5】本発明における有機薄膜トランジスタの一例の模式的断面図

【図 6】図 5 の重要部分の拡大図

【図 7】本発明における有機薄膜トランジスタのソースドレイン間に絶縁膜が付いた素子の一例の模式的断面図

【図 8】本発明のソース又はドレイン電極形状を有する素子の一例の模式的断面図

【図 9】 $\theta = \text{約 } 120^\circ$ の有機薄膜トランジスタのドレイン電圧 4 V におけるドレイン電流のゲート電圧依存性

【図 10】 $\theta = \text{約 } 150^\circ$ の有機薄膜トランジスタのドレイン電圧 4 V におけるドレイン電流のゲート電圧依存性

【図 11】本発明における有機薄膜トランジスタ形成のための有用な製造プロセス工程の概略図（1）

【図 12】本発明における有機薄膜トランジスタ形成のための有用な製造プロセス工程の概略図（2）

【図 13】本発明における有機薄膜トランジスタ形成のための有用な製造プロセス工程の概略図（3）

【図 14】本発明における有機薄膜トランジスタ形成のための有用な製造プロセス工程の概略図（4）

【図 15】本発明における有機薄膜トランジスタ形成のための有用な製造プロセス工程の概略図（5）

【図 16】ソースドレイン間電圧 2 V 時におけるソースドレイン間電流のゲート電圧依存性

19

【図 17】様々なゲート電圧におけるソースードレイン間電流のソースードレイン間電圧依存性

【図 18】半導体層にポリアルキルチオフェンの塗布薄膜を用いた時のドレイン電圧 4 V におけるドレイン電流とゲート電圧の相関曲線

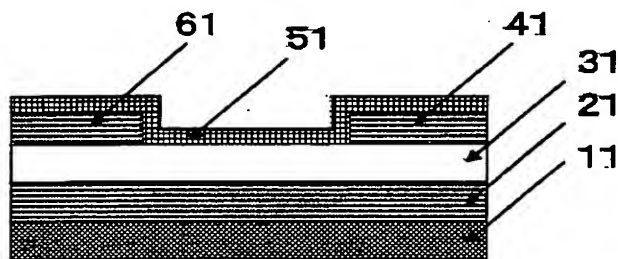
【図 19】ドレイン電圧 4 V におけるドレイン電流とゲート電圧の相関曲線。実線は、半導体活性層に p 型半導体としてベンタセンを用い、ソース及びドレイン電極に金とインジウムを用いた場合のドレイン電流－ゲート電圧 ($I_d - V_g$) 曲線、波線はソース及びドレイン電極がともに金で構成されている場合のドレイン電流－ゲート電圧 ($I_d - V_g$) 曲線

【図 20】ドレイン電圧 4 V におけるドレイン電流とゲート電圧の相関曲線。半導体活性層に n 型半導体としてメチルペリレンを用い、ソース及びドレイン電極に銀とアルミニウムを用いた場合のドレイン電流－ゲート電圧 ($I_d - V_g$) 曲線

【符号の説明】

- 10 本発明における基板
- 11 ボトムコンタクト構造における基板
- 12 トップコンタクト構造における基板
- 20 本発明におけるゲート

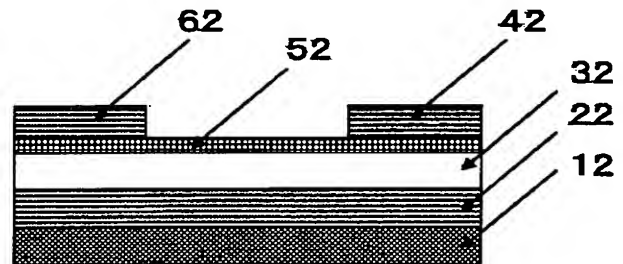
【図 1】



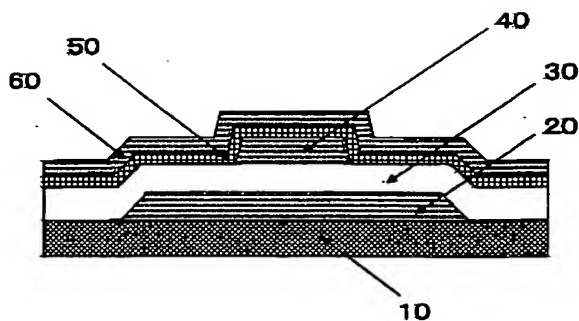
20

- 21 ボトムコンタクト構造におけるゲート
- 22 トップコンタクト構造におけるゲート
- 30 本発明における絶縁層
- 31 ボトムコンタクト構造における絶縁層
- 32 トップコンタクト構造における絶縁層
- 40 本発明におけるドレインもしくはソース
- 41 ボトムコンタクト構造におけるドレインもしくはソース
- 42 トップコンタクト構造におけるドレインもしくはソース
- 50 本発明における半導体層
- 51 ボトムコンタクト構造における半導体層
- 52 トップコンタクト構造における半導体層
- 60 本発明におけるソースもしくはドレイン
- 61 ボトムコンタクト構造におけるソースもしくはドレイン
- 62 トップコンタクト構造におけるソースもしくはドレイン
- 70 本発明における薄膜トランジスタのチャネル領域
- 80 本発明における絶縁膜
- 90 本発明における保護膜

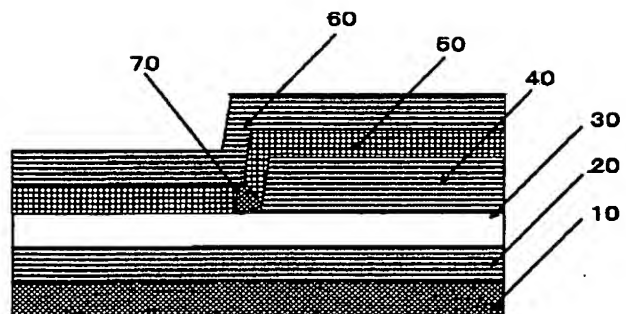
【図 2】



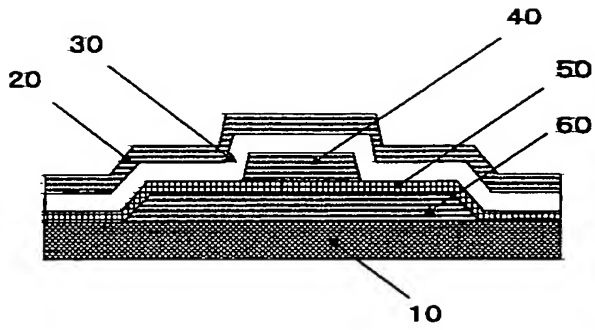
【図 3】



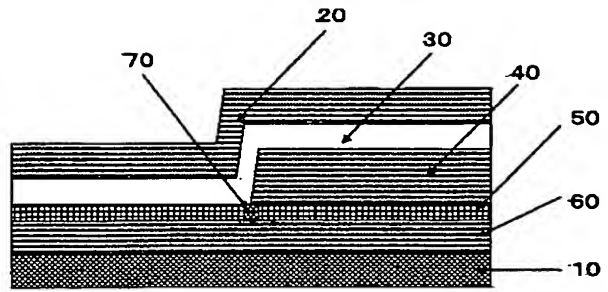
【図 4】



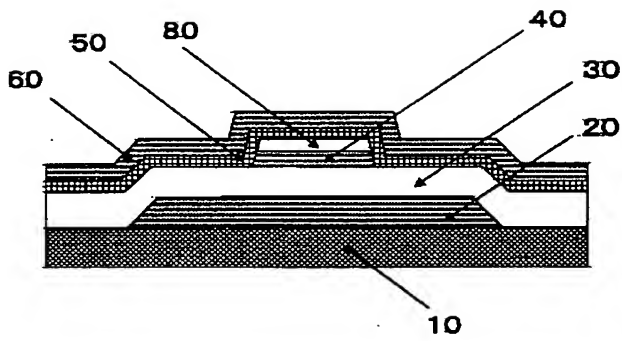
【図 5】



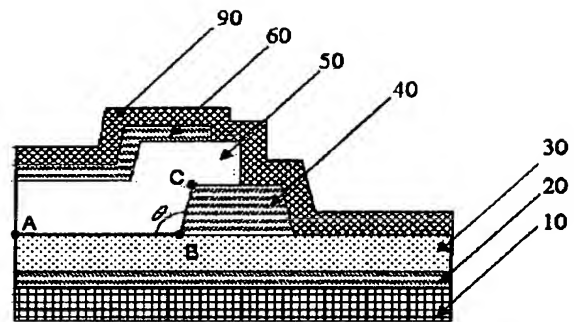
【図 6】



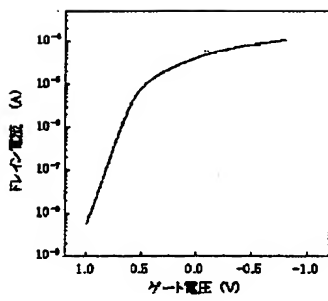
【図 7】



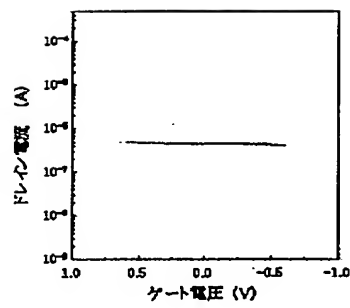
【図 8】



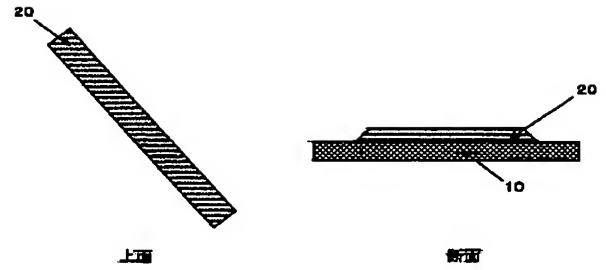
【図 9】



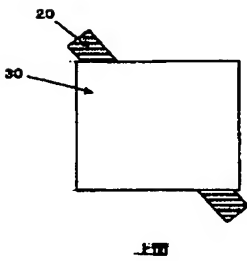
【図 10】



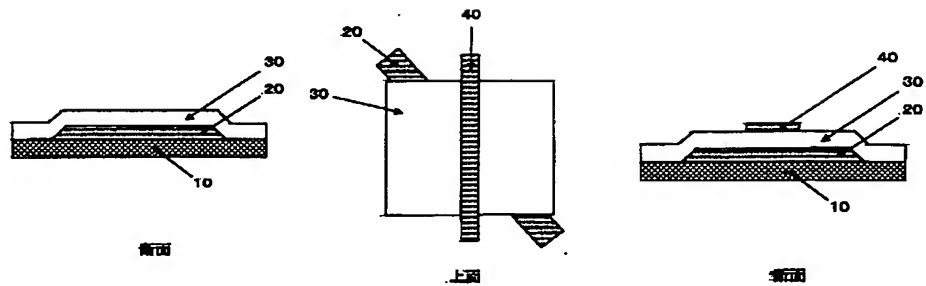
【図 11】



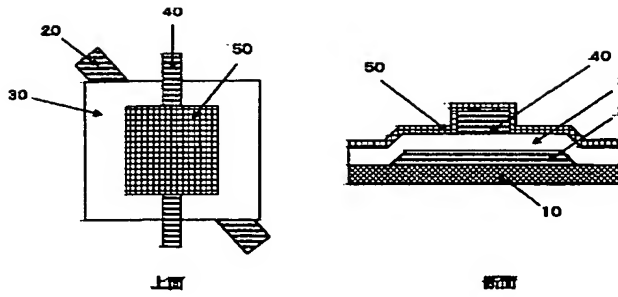
【図 12】



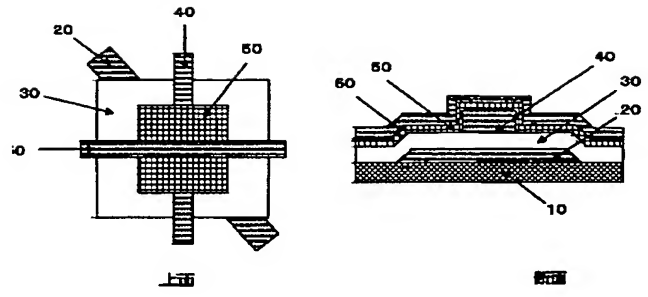
【図 13】



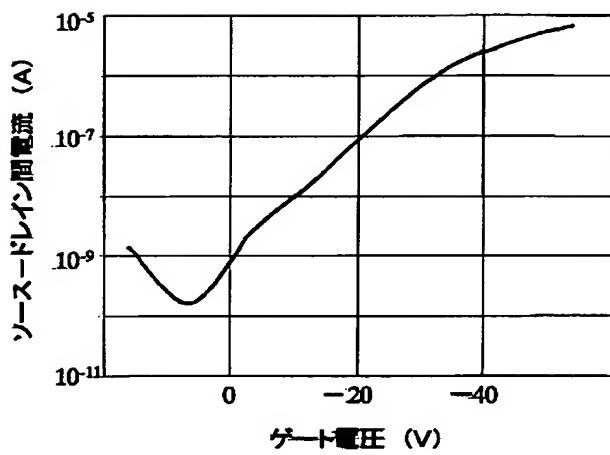
【図 14】



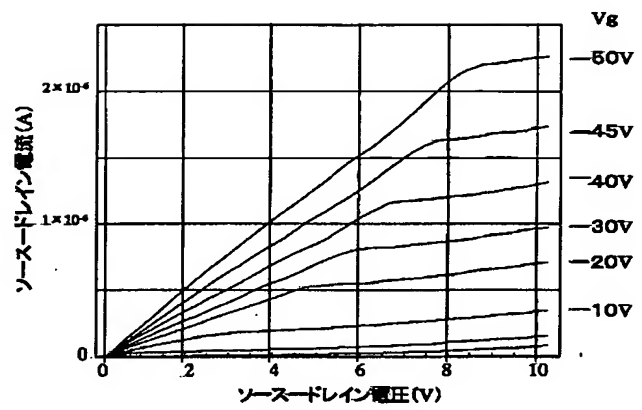
【図 15】



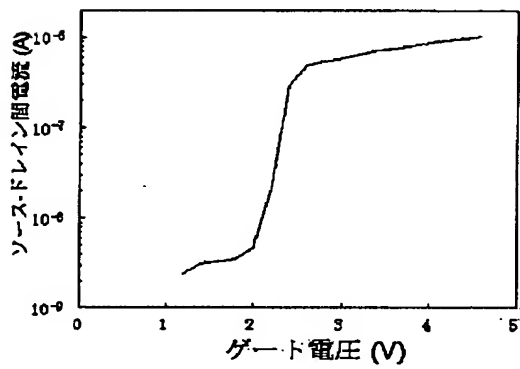
【図 16】



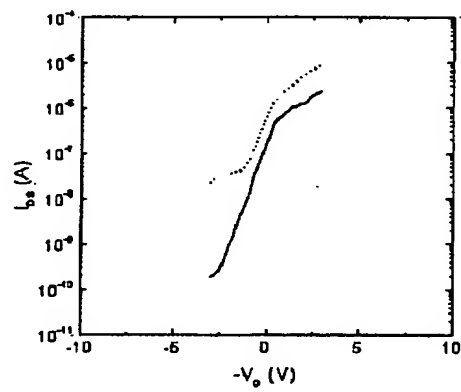
【図 17】



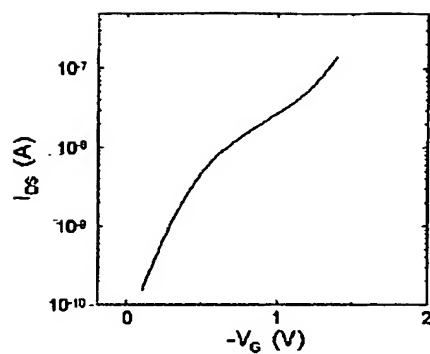
【図 18】



【図 19】



【図 20】



フロントページの続き

(51) Int. Cl.⁷

H01L 51/00

識別記号

F I

H01L 27/10
29/78

ターマコード (参考)

444A
371

Fターム(参考) 5F083 FR05 FR06 HA02 JA02 JA15
JA36 JA37 JA38 JA39 JA60
PR22 PR23
5F101 BA62 BB08 BD16 BD30
5F110 AA01 AA06 AA16 BB01 BB05
CC10 DD01 DD02 DD03 DD05
DD25 EE01 EE02 EE04 EE14
EE42 EE43 EE44 FF01 FF02
FF09 FF27 FF28 FF36 GG05
GG15 GG25 GG28 GG29 GG42
HK01 HK02 HK03 HK07 HK21
HK32 HK33 HM02 HM03 HM12
NN02 NN03 NN23 NN27 NN40
QQ01

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.